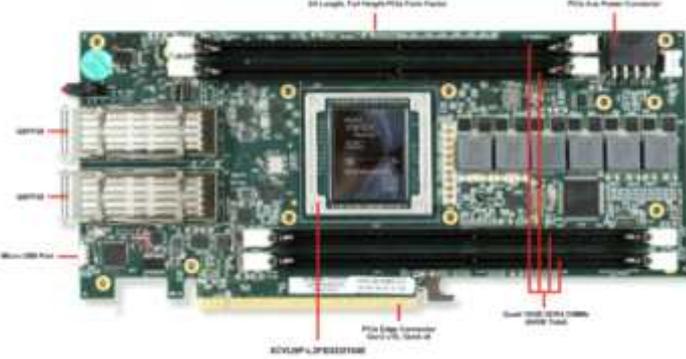


용 도 설 명 서

<p>품 명</p>	<p>(국문) FPGA Process Module (영문)</p>
<p>규 격</p>	<p>상세규격서 참고</p>
<p>과 제 명</p>	<p>S/W기반 지능형 SoC/FPGA 모듈화 지원사업</p>
<p>사용용도</p>	<p>○ 구매물품은 현재 수행 중인 과제 “S/W기반 지능형 SoC/FPGA 모듈화 지원사업 ”에서 FPGA 응용산업시스템에 적용되는 부속재료로 관련 산업(자율주행 자동차산업, 드론산업, 전자부품산업 등)의 시스템 개발지원을 위한 목적으로 구매하고자 합니다.</p> <div style="text-align: center;">  </div> <p style="text-align: center;">그림 1. FPGA Process Module</p> <p>○ FPGA Process Module을 통해 응용시스템의 전체운영 또는 ProcessModule와 연결장치간의 작동을 설계하여 필요로 하는 기능을 구현할 수 있습니다.</p>

상 세 규 격 서

구분	품명	단위	수량	비고
1	FPGA Process Module	SET	1	-
	- LBT-CM-U280			
	- LBT-CM-U250			

상 세 내 역

1. 주요규격

○ FPGA Process Module

<U280 - Active Cooling> * 1 EA

1) Logic Resource

- Look-Up Tables : 1.304K
- Registers : 2,607K
- DSP Slices : 9,024

2) DRAM Memory

- DDR Capacity : 32GB
- DDR Max Data Rate : 2,400MT/s,
- DDR Total Bandwidth : 38GB/s
- HBM2 Capacity : 8GB
- HBM2 Total Bandwidth : 460GB/s

3) Internal SRAM

- Capacity : 43MB
- Bandwidth : 35TB/s

4) Interface

- PCI Express : Gen3x16, 2xGen4 x8
- Network : 2xQSFP28

5) Dimensions

- Width : Dual Slot
- Form Factor : Full Height, Full Length

<U250 - Active Cooling> * 1 EA

1) Logic Resource

- Look-Up Tables : 1.728k
- Registers : 3,456K
- DSP Slices : 12,288

2) DRAM Memory

- DDR Capacity : 64GB
- DDR Max Data Rate : 2,400MT/s,
- DDR Bandwidth : 77GB/s

3) Internal SRAM

- Capacity : 57MB

- Bandwidth :47TB/s

4) Interface

- PCI Express : Gen3x16

- Network : 2xQSFP28

5) Dimensions

- Width : Dual Slot

- Form Factor : Full Height, Full Length

<추가요구사항>

1) Tool Kit Specifications

- HDL Design and debug

- Logic Simulation,Mixed Language Simulator

- Software-defined IP Generation with Vivado High-Level Synthesis

- Block-based IP Integrationwith Vivado IP Integrator 지원

- VITIS Compiler, Analyzer, Debugger 지원

- VITIS C/C++/OpenCL/RTL Kernel Application Acceleration Guide Manual 제공

- VITIS AI Optimizer Benchmark test report 제공

- VITIS Accelerated Libraries,OpenCL API 지원

- VITIS-AI Qunatizer, VITIS AI Compier, VITIS-AI Profiler Guide Manual 제공

- AI Reference Design & Verification on U280 & U280

A. Image classification with VART C++APIs : ResNet50(Caffe)

B. Multi-threading image classification with VART PythonAPIs
: ResNet50(TensorFlow)

C. Multi-threading image classification with VART PythonAPIs
: Inception-v1(TensorFlow)

D. Pose detection with VARTC++APIs:SSD(Caffe)

E. video_analysis:SSD(Caffe)

F. ADASdetection with VART C++APIs.:YOLO-v3(Caffe)

G. Semantic segmentation with VART C++APIs.:FPN(Caffe)

2) 부속품 및 기타 사양

- FPGA 공식 제조사&파트너 Technical Support & Training

A. Service Request (SR) Support

B. Cloud/ Edge Acceleration Training Support

C. Cloud/ Edge AI Training Support

2. 기타사항

가. 설치위치 : 경북 구미시 구미대로 32길 8-26 스마트커넥트센터 5층 회의실

나. 설치개요 : 규격서의 조건에 맞는 제품 납품 및 설치

다. 납품기한 : 계약일로부터 4주 이내

라. 계약의 이행

- 1) 본 규격서에 대한 주계약자(이하 “계약자”라 한다)와 발주기관 간의 해석상 이견은 발주기관의 해석에 따라야 하며, 본 규격서에 특별히 명시되지 않은 사항은 정부계약법 등의 규정과 일반 관례에 따른다.
- 2) 발주기관은 계약내용 전부에 대한 권리를 행사할 수 있으며 계약자는 이에 대하여 전적으로 동의해야 한다.
- 3) 본 규격서에 명시된 모든 조항은 본 구매의 원활한 추진에 필요한 최소한의 사항만을 규정하였으므로 상세히 기술하지 않았거나 누락된 사항에 대해서도 정상운영 및 서비스에 문제가 발생되지 않도록 계약자는 사전 조치를 취하여야 한다.
- 4) 본 규격서에서 요구하는 성능 및 특성에 대해 계약자의 오인 또는 누락된 상태 계약 체결되어, 계약 후 이를 보완하기 위한 설계 변경, 물품 등을 추가해야 할 경우 계약자 부담으로 시행한다.
- 5) 계약자는 공급하는 제품의 성능, 품질 등에 대한 최종적인 책임을 진다.

3. 기타조건

가. 납품기한 : 계약 후 4주 이내

나. 무상보증기간 : 납품 및 검수 후 3년

다. 규격관련 문의사항 : 차세대반도체연구센터 정상훈 선임연구원(054-460-9085)